

Adjustable impedance network and control circuit therefor

Patent number: EP0148706
Publication date: 1985-07-17
Inventor: PAVLIDIS DIMITRIOS; ARCHAMBAULT YVES; MAGARSHACK JOHN
Applicant: THOMSON CSF (FR)
Classification:
- international: H03H11/24; H03H7/25; H01P1/22; H03H7/20
- european: H01P1/22; H03H7/20; H03H7/25D; H03H11/24A
Application number: EP19840402740 19841227
Priority number(s): FR19840000281 19840110

Also published as:

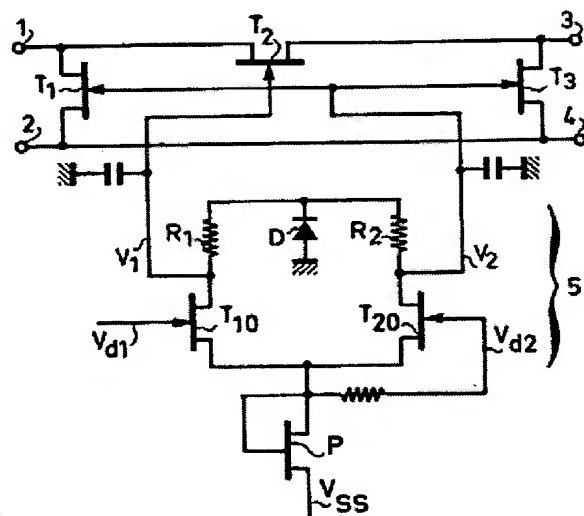
JP60160717 (A)
FR2558023 (A)
EP0148706 (A)

Cited documents:

FR1325027
FR1402015
US3428884

Abstract of EP0148706

The invention relates to a T- or pi - quadrupole network of resistor-capacitor type, forming attenuators, phase changers or variable reactances. This network operates in the microwave range and is constructed with circuits which are integrated on III-V materials. The network comprises impedances (Z_1 , Z_2 , Z_3) mounted in series and in parallel between the inputs (1, 2) and the outputs (3, 4) of the quadrupole. These impedances are field-effect transistors (T_1 , T_2 , T_3) or reverse-biased Schottky diodes (D_1 , D_2 , D_3). The two voltages (V_1 , V_2) for testing the serial and parallel impedances are delivered by a test circuit (5) which, on the basis of a single control voltage (V_{d1}) furnishes two complementary variable output voltages (V_1 , V_2). Application as variable impedances, phase changers, mixers, in radar and telecommunications systems.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

昭60-160717

⑬ Int. Cl.⁴

H 03 H 7/24
11/24

識別記号

庁内整理番号

7328-5J
7210-5J

⑭ 公開 昭和60年(1985)8月22日

審査請求 未請求 発明の数 2 (全11頁)

⑮ 発明の名称 インピーダンス制御可能セル及びこのセルを制御するための回路

⑯ 特 願 昭60-1370

⑰ 出 願 昭60(1985)1月8日

優先権主張 ⑱ 1984年1月10日 ⑲ フランス(FR) ⑳ 8400281

㉑ 発 明 者 デイミトロフ パブリ フランス国 パリ 75013 ビラ デステ 10 トウール
デイ アトラ 2603

㉒ 発 明 者 イブ アルシャンボー フランス国 パリ 75005 リュ クロード ベルナール
ル 63

㉓ 発 明 者 ジョン マガルシヤ フランス国 92500 リュエイル マルメゾンシユマン
デ オー ベルナール 52アー

㉔ 出 願 人 トムソン・セーエスエ フランス国 75008 パリ ブルバール オスマン 173
フ

㉕ 代 理 人 弁理士 新居 正彦

明 細 書

1. 発明の名称

インピーダンス制御可能セル及びこのセルを制御するための回路

2. 特許請求の範囲

(1) 電圧によって制御される可変インピーダンス能動部品として機能する抵抗-容量形のインピーダンス制御可能セルにおいて、セルの入力端のインピーダンス及びセルの出力端のインピーダンスは、可変電圧を受けて、一方がセルの入力インピーダンスを制御し、他方がセルの出カインピーダンスを制御するような2つの相補的な可変制御電圧を出力する制御回路により、単一の電圧によって制御されることを特徴とするインピーダンス制御可能セル。

(2) セルは π 形減衰器を構成し、セルの入力と出力との間に接続され且つ第1の制御電圧によって制御される直列可変インピーダンスと、セルの入

力と出力との間に接続され且つそれぞれ第2の制御電圧によって制御される2つの並列可変インピーダンスとを有し、前記2つの制御電圧は前記制御回路によって供給されることを特徴とする特許請求の範囲第1項記載のインピーダンス制御可能セル。

(3) セルは可変T形リアクタンスを構成し、セルの入力と出力との間に接続され且つ第1の制御電圧によって制御される2つの可変直列インピーダンスと、2つの直列インピーダンスへの共通点と前記セルの共通の入力-出力点との間に接続された並列可変インピーダンスとを有し、前記並列インピーダンスは第2の制御電圧によって制御され、前記2つの制御電圧は前記制御回路によって供給されることを特徴とする特許請求の範囲第1項記載のインピーダンス制御可能セル。

(4) 可変インピーダンスをつくる能動部品はMESFET型の非バイアス電界効果トランジスタで

あり、前記制御電圧はこれらトランジスタのゲートに印加されることを特徴とする特許請求の範囲第1項記載のインピーダンス制御可能セル。

(5) 前記可変インピーダンスをつくる能動部品は能動(可飽和)抵抗として動作するゲートのない電界効果トランジスタであり、前記制御電圧は前記能動抵抗のアクセス端子に印加されることを特徴とする特許請求の範囲第1項記載のインピーダンス制御可能セル。

(6) 前記可変インピーダンスをつくる能動部品は前記制御電圧によって逆バイアスされるショットキーダイオードであることを特徴とする特許請求の範囲第1項記載のインピーダンス制御可能セル。

(7) 逆方向に同時に変化し、総和が一定であるような2つの相補的な可変出力電圧を供給する、インピーダンス制御可能セルのための制御回路において、電源の両極の間に並列に接続された2つの

分路を有し、各分路は直列に接続されたトランジスタ及び抵抗によって構成されており、可変制御電圧が、第1の分路のトランジスタの制御電極に印加され、これに対して一定の基準電圧が第2の分路のトランジスタの制御電極に印加され、前記相補的な出力電圧は、各分路において、トランジスタと抵抗との間の共通点から取出されることを特徴とする制御回路。

(8) 前記基準電圧とは異なった制御電圧の関数としての出力電圧特性の非対称性を補正するために、前記抵抗は非対称であることを特徴とする特許請求の範囲第7項記載の制御回路。

(9) 200 Ω 程度の高いインピーダンスを備えた電流源を有することを特徴とする特許請求の範囲第7項記載の制御回路。

(10) カスケード接続が可能ないように、同一の電源の両極の間に並列に接続され、かつ同一の制御電

圧によって制御される複数の回路が、各対ごとに相補関係にある偶数の出力電圧を送り出すことを特徴とする特許請求の範囲第7項記載の制御回路。

(11) 出力電圧を低い値の範囲において線形化するために、この出力電圧を入力電圧として、補助電流源から給電され、かつドレーンがダイオードのカソードに接続されてそのダイオードに直列に接続されているトランジスタと、前記電流源に接続された抵抗とを有する補正回路に印加し、前記線形出力電圧はダイオードのカソードから取出されることを特徴とする特許請求の範囲第7項記載の制御回路。

(12) 出力電圧を高い値の範囲において線形化するために、この出力電圧を入力電圧として、補助電流源から給電され、かつドレーンがダイオードのカソードに接続されてそのダイオードに直列に接続されているトランジスタと、前記電流源に接続された第1の抵抗とを有する補正回路に印加し、

第2の抵抗がダイオードの端子と並列に接続されており、前記線形出力電圧はダイオードのアノードから取出されることを特徴とする特許請求の範囲第7項記載の制御回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、入力と出力をインピーダンス整合させ、モノリシック集積回路として形成され、かつ超高周波帯域で動作する四端子を構成するインピーダンス制御可能セルに関する。このセルは、構成に応じて減衰器又は移相器或いはスイッチであり、これらの機能から容易にわかるように、このセルは必然的に単純なものでなければならず、かつ非常に高い周波数で動作するように集積化されなければならない。この場合、このセルは、抵抗が非バイアス電界効果トランジスタであり、コンデンサが逆バイアスショットキーダイオードであるようなRC形の π 形セル又はT形セルである。このセルの利点の1つは、それが入力及び出力の

整合については、単一の可変入力電圧から得られた2つの可変で且つ互に相補的な制御電圧を供給する制御回路によって制御されるということである。したがって、本発明のセルは単一の電圧によって制御される。なお、制御回路も本発明の対象でもある。

従来の技術

超高周波用モノリシック集積回路は、初めて、同一の集積回路チップ上に、幾つかの超高周波用機能素子を設けることができる可能性をもたらした。信号の振幅及び位相をチップの端子に印加される電圧により制御することは、信号を例えば増幅、減衰、移相、ミキシングのような作用を介して伝えるために必要になっている。

しかしながら、それは超高周波域の問題であり、また接続長さがかなりの問題となるので、これらの制御可能な減衰器又は移相器のセルが他の機能素子に対して寸法形状が非常に小さく、かつインピーダンスが他の機能素子の機能の妨害とできる

だけならないように整合することが好ましい。

このために、これらのインピーダンス制御可能セルを、最も簡単な方法で、部品数を最小にし、集積回路のチップ上に最も小さな面積で集積化できるように設計するのが好ましい。

砒化ガリウム上に集積されたS帯域移相器は、IEEE発行のInternational Solid State Circuits Conferenceの1982年2月号の134頁乃至135頁から知られている。しかしながら、この移相器は構造が複雑であり、多くのインダクタを必要とするので、そのGaAsチップは $2 \times 9 \text{ mm}$ になり、かかる寸法はほぼハイブリッド回路の寸法であり、この寸法は2.5乃至3.5 GHzに適しているが40又は50 GHzには適していない。

他方、1980年6月4日に出願された仏国特許出願第80 12439号は、2つのゲートを備え、このうち1つのゲートが他方のゲートに注入される信号の移相を制御するのに役立つような電界効果トランジスタによって構成されている寸法形状の非常に小さな移相器を記載している。

発明の概要

本発明のセルは、可変要素をDC電圧によって制御することのできる抵抗-容量(RC)形の π 形セル又はT形セルである。可変抵抗は、ゲートに印加される電圧によって制御される非バイアス電界効果トランジスタである。可変容量は、逆バイアスショットキーダイオードである。この四端子の入力インピーダンスと出力インピーダンスを同時に整合させるためには、相補的に変化する2つの電圧を π 形セル又はT形セルの2つの「水平」分路及び「垂直」分路に印加しなければならない。

本発明の重要な観点は、これら2つの電圧が、セルに組込まれ、単一の制御電圧から、逆方向に変化する2つの相補的な電圧を供給する非常に簡単な制御回路から得られるということである。

制御回路を組込んだインピーダンス制御可能セルは、あらゆることを考慮に入れても、確かに、単一の電圧によって制御される。また、セルは、3つのトランジスタ又は3つのダイオード(可変抵抗が2つに分けられる場合は4つのトランジスタ)

を有するだけであり、2つのトランジスタと2つの抵抗を有するだけの制御回路の構成では、一般的に高周波電源と関連したサージインダクタは、制御回路自体が高いインピーダンスをもってないので、必要ではない。

より正確には、本発明によるならば、電圧によって制御される可変インピーダンス能動部品として機能する抵抗-容量形のインピーダンス制御可能セルにおいて、セルの入力端のインピーダンス及び出力端のインピーダンスは、可変電圧を受けて、一方がセルの入力インピーダンスを制御し、他方がセルの出力インピーダンスを制御するような2つの互に相補的な可変制御電圧を出力する制御回路により単一の電圧によって制御されることを特徴とするインピーダンス制御可能セルが提供される。

本発明は、本発明によるセルの幾つかの実施例の添付図面を参照しての以下の説明からもっとよく理解されよう。

実施例

第1図及び第2図は本発明のセルの2つの基本回路図を示している。四端子回路は、第1図では π 形のものであり、第2図ではT形のものである。これらの回路は周知なものである。

超高周波信号は、セルの入力端子1, 2に入り、例えば50 Ω に規格化された抵抗性負荷の両端に出力端子3, 4から出力される。 π 形の場合には可変インピーダンス Z_{pi} 、又はT形の場合には可変インピーダンス Z_{ri} は、可変電圧 V_1 、 V_2 によって制御できる可変抵抗又は可変容量である。

本発明の注目に値する特長は、インピーダンス Z_{pi} 又は Z_{ri} に必要な値は、2つの相補的な制御電圧 V_1 、 V_2 を送り出す制御回路5に印加される単一の制御電圧 V_c から得られることである。事実、セルの入力インピーダンス Z_i 及び出力インピーダンス Z_o 並びにセルの内部インピーダンス Z_{in} は発散的に変化し、これらのインピーダンスの一方が増加すると他方は減少し、又は、一方が減少すると他方は増大する。また、制御電圧 V_1 、

V_2 も発散的に変化し、しかも両制御電圧に互に逆方向に変化し、その変化は単一の制御電圧 V_c により制御回路5によってもたらされる。

次に、制御回路を分析する。

第3図は整合減衰器を形成する本発明による可変インピーダンスセルの回路図を示す。制御回路は図示していないが、セルの制御電圧は制御回路によって供給されたものである。

入力端子1, 2及び出力端子3, 4を備えたこの四端子回路では、 π 形減衰器を構成する3つの要素は非バイアス電界効果トランジスタである。GaAs上に作られた集積回路の構造については、これらの要素は接合形トランジスタではなく好ましくはMESFET又はMISFET或いはMOSFETである。入力1と出力3との間に直列に設けられた(入力2及び出力4はたいていの場合アースレベルである)トランジスタ T_1 は制御回路からの電圧 V_1 によって制御され、これに対して入力1と入力2との間に並列に設けられたトランジスタ T_2 及び出力3と出力4との間に並列に設

けられたトランジスタ T_3 は同一の制御回路からの第2の電圧 V_2 によって制御される。

制御回路は逆方向に変化する2つの相補制御出力電圧 V_1 、 V_2 を単一の制御入力電圧 V_c から供給するので、電圧 V_1 がトランジスタ T_1 を不能化させる傾向のあるときには電圧 V_2 は逆にトランジスタ T_2 、 T_3 を可能化させる傾向にある。

本発明の可変インピーダンスセルの特定の特長は、トランジスタのゲートを制御する電圧におけるサージのためにインダクタを設ける必要がないということである。サージインダクタのないことにより、GaAsチップの上に集積するための空間を相当節約することができる。

第4図は第3図の減衰器の変形例を示す。この変形例では、トランジスタはゲートのない電界効果トランジスタであり、換言するとこれらのトランジスタは飽和抵抗又は可飽和抵抗のように動作する。

電圧の関数としての電流曲線が直線である($V = RI$)のような純然たる抵抗に対して、可飽和

抵抗は、電圧が増加するとき電流が漸近線に近づくような特性曲線をもつ。この曲線は、ゲートに印加される電圧が0、すなわち $V_g = 0$ であるような電界効果トランジスタの曲線と非常に良く似ている。そのとき、可飽和抵抗の値は、その端子に印加される電圧の関数となる。

第4図の回路図では、入力端子間及び出力端子間にそれぞれ並列に設けられ、かつ可飽和抵抗器のように動作するゲートのないトランジスタであるトランジスタ T_1 、 T_2 は、端子に、換言すれば、事実上、入力端子1及び出力端子3に印加される電圧 V_c によってそれぞれ制御される。

しかしながら、もし直列のトランジスタ T_3 のつくる可変インピーダンスが第4図に示す如く保たれるとすれば、同一の電圧 V_c がその端子に印加されるので、その可変インピーダンスは制御電圧を受けない。この理由は、第4図の場合、すなわち可飽和抵抗の場合、上記インピーダンスは2つの部分、すなわちゲートのないトランジスタ T_2 、 T_3 に分割されるからである。そこで、制御電圧

V_1 が2つのトランジスタの間の共通の点に印加され、各トランジスタはかくして電圧差 $|V_1 - V_2|$ を受ける。

これらのトランジスタはゲートをもっていないので、これらを小さくつくることができ、かくして、超高周波素子の集積化のために密度を容易に増大させることができる。また、それにより、寄生キャパシタンスが減少し、高周波で動作させることができる。

第5図及び第6図は、可変抵抗又は可変リアクタンスを構成し、制御電圧 V_1 、 V_2 の値に整合させた本発明の可変インピーダンスセルの他の2つの回路図を示している。

これら π 形又は T 形回路で通常使用されるコンデンサは、GaAs 上への超高周波集積回路の場合、逆バイアスダイオードによって得られる。かくして、第5図の T 形回路の場合、入力1と出力3との間に直列に設けられたダイオード D_1 、 D_2 は電圧差 $|V_1 - V_2|$ によってバイアスされ、並列ダイオード D_3 は電圧差 $|V_2 - (\text{アース電位})|$ によ

ってバイアスされる。他方、第6図に示す π 形回路の場合、直列ダイオード D_1 は電圧差 $|V_1 - V_2|$ によってバイアスされる。

興味のあるのは第5図に示すものであり、T 形回路の共通の入力2-出力4とダイオード D_2 との間にインダクタンス L を加えて $V_1 = 0$ V にすることにより、この回路は単一の電圧 V_2 によって制御される可変整合移相器を形成する。

第7図、第8図、第9図は本発明のインピーダンス制御可能セルを GaAs 上にモノリシック形成する3つの例を示している。

第7図は第3図に示すような π 形減衰器を示している。3つのトランジスタ T_1 、 T_2 、 T_3 が第7図の中央に3つの細い金属化部分及び4つの広い金属化部分の形で見えており、これら金属化部分は電圧 V_1 及び V_2 によって制御される3つのゲートと、対ごとに共通化されたソース及びドレインである。回路の入力は、 T_1 のドレイン金属化部分及び T_2 のソース金属化部分とオーム接触している金属化部分1から印加される。出力は、 T_2 、

のドレイン金属化部分及び T_3 のドレイン金属化部分とオーム接触している金属化部分3から取出される。共通の入力-出力は接地面2+4である。回路5は次に説明する制御回路であり、この制御回路は単一の可変電圧 V_1 から、2つの相補的な可変出力電圧 V_1 、 V_2 を供給する。

第8図は、ゲートのないトランジスタが能動抵抗のように動作する第4図に示すような π 形減衰器を示す。この場合、各トランジスタは半導体材料のエピタキシャル層又は注入層を部分的に覆う2つの金属化部分の形で見えており、ゲートのための金属化部分はない。4つのトランジスタ T_1 、 T_2 、 T_3 、 T_4 は第8図に円で囲んで示してある。制御電圧 V_1 、 V_2 を供給する制御回路5はこの図には示されていない。

第9図は、 $V_1 = 0$ であり、かつインダクタ L をダイオード D_2 と、共通の入力-出力2+4との間に挿入した場合の第5図に示すような T 形移相器を示している。抵抗 R も電圧源 V_2 とダイオードとの間に挿入されてある。整流性接触を与え

る適当な金属被覆を半導体材料層上に設けることによりショットキーダイオードが得られる。3つのダイオード D_1 、 D_2 、 D_3 は楕形金属被覆の形をなしており、またこれら3つのダイオードは共通のカソードをもっているので、楕形金属被覆はそれらのダイオードの共通のカソードである。ICの半導体材料層とオーム接触している金属被覆1から入力1は印加され、出力は、半導体材料層とオーム接触している金属被覆3から取出され、制御電圧は3つのダイオードに共通のショットキー金属被覆と接触している抵抗 R に印加され、共通の入力-出力2+4がインダクタ L の一端に接続されている。

第9図の回路において、インダクタ L 及び抵抗 R を省略し、ダイオード D_1 、 D_2 のアノード、すなわち入力1及び出力3に電圧 V_2 に印加することにより、第9図に示す回路は V_1 及び V_2 の値に応じた可変抵抗又は可変リアクタンスになる。

本発明のインピーダンス制御可能セルの特長は、第7図、第8図、第9図から明らかなように、そ

のコンパクトさにあり、集積回路のチップの表面の大部分は、たとえ図示していない制御回路5を第8図及び第9図に加えたとしても、入力-出力接続部1、2、3、4によって占められる。

これまで説明しなかったこの制御回路は、2つの相補的な出力電圧、すなわち逆方向に変化し、かつ総和が一定である2つの電圧を供給する。これら2つの調節可能な電圧は制御電圧によって得られ、そして制御電圧が変化すると、回路の2つの出力電圧は互に逆方向に変化し、これはかかる2つの出力電圧がまさしく相補電圧であるということを示している。

本発明の制御回路では、抵抗の端子に印加される電圧の変化は、単一の電圧によって2つの差動接続トランジスタにより実現される。これら差動接続トランジスタのうち的一方は固定電圧で制御され、他方のトランジスタは単一の可変電圧によって制御される。負の電源電圧 V_{ss} は、高い値の抵抗によって実現される高インピーダンスを介して印加され、又は、電流源に接続され2つの差動

接続トランジスタに送られる電流を制御することができるトランジスタを介して印加される。固定電圧に対する制御電圧の値に応じて電流が一方のトランジスタ又は他方のトランジスタに流れ、抵抗の端子電圧はトランジスタを流れる電流の方向と同じ方向に変化する。

第10図は、制御電圧に応じた、本発明の電子回路の2つの出力電圧の相対的变化を両方とも示すグラフである。 V_1 が回路の第1の出力の出力電圧であるとし、 V_2 が回路の第2の出力の出力電圧であるとすれば、これら2つの出力電圧 V_1 、 V_2 は、制御電圧 V_{c1} が大きくなると逆方向に変化する。制御電圧は差動接続トランジスタ対の第1のトランジスタに印加され、これに対し固定電圧 V_{c2} は差動接続トランジスタ対の第2のトランジスタに印加されている。出力電圧 V_1 と V_2 との交点は固定電圧 V_{c2} の値で決まる。かくして、 V_{c2} の値に対して V_1 及び V_2 の2つの曲線は、グラフでは対称であり、さもなければ発散的である。すなわち、制御電圧 V_{c1} が低い値では、それら値の

共通点は第10図のグラフ上にあり、2つの曲線は第10図の垂直線上に位置した交点をもっている。また、これらの曲線は収束形であるとも言える。すなわち、2つの曲線は、制御電圧 V_{c1} が高い値では、第10図においてその高い値の制御電圧より左側に位置した交点をもっている。制御電圧 V_{c1} に対する固定電圧 V_{c2} の相対的な値は、制御電圧 V_{c1} の関数としての V_1 及び V_2 の2つの曲線の所定の非対称形を構成している。第10図に示す電圧は負電圧である。その理由は、第10図は、回路図が電界効果トランジスタを採用した第11図のものに対応しているからである。事実、本発明のこの回路には、トランジスタがバイポーラ pnp 形でも npn 形でも、又はトランジスタが電界効果トランジスタであってもなくても、或るいはトランジスタが信号用トランジスタでも電力用トランジスタでも、いずれにせよ上述のインピーダンス制御可能セルのための単一の制御よりも一層広範囲に任意の型式のトランジスタを設けることができる。

第11図は、第10図に示すように変化する2つの出力電圧 V_1 、 V_2 を得ることのできる本発明の回路の電気回路を示している。

この回路は、電圧源 P の記号によって概略的に示す電源 V_{ss} とアースとの間に並列に接続された2つの対称的分路を有する。2つの分路の各々は、抵抗 R_1 (又は分路によって R_2)と直列に設けられたトランジスタ T_{10} (又は T_{20})を有している。トランジスタ T_{10} 及び抵抗 R_1 を有する第1の分路については、制御電圧を V_{c1} をトランジスタ T_{10} のゲートに印加する。トランジスタ T_{20} 及び抵抗 R_2 を有する第2の分路については、固定電圧 V_{c2} をトランジスタ T_{20} のゲートに印加する。2つの出力電圧 V_1 、 V_2 は、一方においてトランジスタ T_{10} と抵抗 R_1 との間から出力され、他方においてはトランジスタ T_{20} と抵抗 R_2 との間から出力される。

トランジスタ T_{10} 及び T_{20} は、ソースを電源に接続し、ドレインを抵抗に接続して設けられるのが良く、ソース及びドレインを逆に接続しても良

い。同様に、トランジスタがバイポーラnpn形又はpnp形トランジスタであれば、これらのトランジスタを当業者それぞれに向いた方法で電源Pとアースとの間に接続する。

V_{a1} が $V_{a2}-|V|$ であるときの制御電圧 V_{a1} と固定電圧 V_{a2} を考えると、トランジスタ T_{10} は相対的にトランジスタ T_{20} よりも不能化され、電流 I_0 がトランジスタ T_{20} の方を流れ、出力電圧 V_2 は増加する。制御電圧 V_{a1} が十分に高い場合、トランジスタ T_{10} により抵抗 R_1 の端子に現われる出力電圧 V_1 は0に近づく傾向があり、同時にトランジスタ T_{20} により抵抗 R_2 の端子から出力される電圧 V_2 は $R_2 I_0$ に近づく傾向がある。

逆に、 $V_{a1}=V_{a2}+|V|$ のとき、電流はトランジスタ T_{10} の方を流れ、制御電圧 V_{a1} が十分小さい場合、出力電圧 V_2 は0に近づく傾向があり、これに対し出力電圧 V_1 は $R_1 I_0$ に近づく傾向がある。

$R_1=R_2$ の場合の出力電圧 V_1 の特性と V_2 の特性との間の非対称性は抵抗についてわずかに異なる

値を選ぶことにより補正される。この非対称性は、2つのトランジスタ T_{10} 、 T_{20} のゲートに印加される電圧間にもともと存在する非対称性によってもたらされる。

2つの出力電圧を供給するこの制御回路は好ましくは半導体材料のチップ上に集積化され、また電圧のフィードバックを回避するためにダイオードをアースと回路の共通点との間に接続するのが望ましい。

電流源は2000 Ω 程度の高い値のインピーダンスをもつことは既に述べた。このインピーダンスを、2000 Ω 程度の抵抗を電源Pと回路との間に接続することによって得ることができる。または、本発明を電界効果トランジスタを使用した場合について説明しているので、高い抵抗をつくるためにゲートをドレーンに接続した電界効果トランジスタを接続することによって上記インピーダンスを得ることもできる。回路のインピーダンスの値により、2つのトランジスタ T_{10} 、 T_{20} を流れる電流 I_0 の分布を制御することができる。

差動対を形成する2つのトランジスタを組合せたこの簡単な回路については、この回路をカスケード接続することができるので、複雑な回路をつくることができる。複雑な回路を必要とするのは、例えば減衰作用をベクトル変調によって制御する場合、又は同時に変化する電圧を2つ以上得る必要がある場合である。

出力電圧が固定電圧 V_{a2} 及び制御電圧 V_{a1} の相対的な値に関し非対称性をもつことはすでに述べた。制御電圧の関数としての出力電圧特性の線形化は、回路の出力に補正ネットワークを加えることによって可能となる。

第12図は第1の線形化ネットワークを示し、第12図と共に説明する第13図はこの線形化の曲線を与えている。

もし低電圧例えば0ボルト乃至0.6ボルトの範囲で線形特性を得る必要があれば、例えば出力電圧 V_1 を、適当にバイアスされるトランジスタ T_1 のゲートに印加する。このトランジスタのドレーンには補正回路が接続しており、この補正回路は

接地された抵抗 R_{10} と直列のダイオード D_{10} を有する。このダイオード D_{10} のカソードはトランジスタ T_1 のドレーンに接続されている。線形化された出力電圧 V'_1 はダイオード D_{10} のカソードから取出される。出力電圧 V'_1 の線形化を第13図に示す。第12図に示すような並列ダイオードを備えた回路については0ボルト乃至0.6ボルトの V_1 の関数としての出力電圧 V'_1 は線形である。

第14図は出力電圧の別の線形化回路を示しているが、この回路は第15図に示すように0.6ボルトよりも大きな出力電圧に適合する。

第11図の出力電圧 V_1 を、適当にバイアスされるトランジスタ T_1 のゲートに印加する。このトランジスタのドレーンには補正回路が接続しており、この補正回路は接地された抵抗 R_{10} と直列のダイオード D_{10} を有している。第2の抵抗 R_{11} はダイオード D_{10} と並列に接続され、このダイオード D_{10} のカソードはトランジスタ T_1 のドレーンに接続されている。線形化された出力電圧 V'_1 はダイオード D_{10} のアノードから取出される。第15

図は 0.6 ボルトよりも大きな V_1 の電圧に対する出力電圧 V'_1 の線形化を示す。

本発明の範囲を限定しない例示として、抵抗は以下の値、すなわち $R_{10} = 100 \Omega$ 、 $R_{11} = 4000 \Omega$ 、 $R_{21} = 2000 \Omega$ をもつ。加うるに、トランジスタ T_1 、 T_2 のバイアスに接続された抵抗は第12図と第14図のどちらの場合でも 3500Ω 乃至 4000Ω の値をもっている。

第16図は、第11図、第12図、第14図に示す電源回路よりも一層複雑な電源回路を示しており、この電源回路は事実、本発明の回路をいくつか組合わせてある。

第16図の左側の部分だけを考えると、2つの電源回路がカスケード接続されているのが分かる。第1の電源回路は差動対の T_{10} 、 T_{20} 及び抵抗 R_{10} 、 R_{20} を組合わせてあり、これに対し第2の電源回路は差動対 T_{30} 、 T_{40} 及び抵抗 R_{30} 、 R_{40} を組合わせてある。これら2つの回路には共通の電圧 V_{30} が供給され、これらの回路は共通の制御電圧 V_{40} によって制御され、固定電圧 V_{50} も共通である。

V'_{10} 、 V'_{20} は 0.6 ボルトよりも小さい範囲で線形化され、これらの出力電圧は相補関係にある。

電源 P' が線形化回路のトランジスタをバイアスしている。各々アースと差動対との間に接続された2つのダイオード D が線形化回路のトランジスタに対して電圧をシフトさせる。

第17図は本発明によるインピーダンス制御可能セルの一実施例を示し、この実施例は第7図の電気回路であり、また本発明の全てのセルに共通な、第3図に示すような π 形減衰器と第7図に示す制御回路を組合わせている。

この第17図は、入力 1, 2 及び出力 3, 4 を備えたインピーダンス制御可能セルが単一の電圧 V_{40} によって制御されるということを、第3図乃至第6図よりもよく示している。集積化にあたってのその利点は第7図で明らかに分かる。

制御回路を備えた本発明のセルは、混合器のダイナミックマッチングのための可変インピーダンスや、局部発振器の位相及び振幅を制御するための可変インピーダンスや、特に超高周波域で動作

もちろん、必要なだけの電源回路を並列に接続することができ、第16図に示す2つの回路は、各対ごと相補関係にある4つの出力電圧 V_1 、 V_2 、 V_3 、 V_4 を供給し、3つ又は4つの回路を組合わせることにより、2つずつ相補関係にある6つ又は8つの出力電圧を得ることができる。

第16図の右側部分には4つの線形化回路が接続されている。意図的に、2つの回路は 0.6 ボルトよりも大きな出力電圧を線形化するようになり、これに対して2つの回路は 0.6 ボルトよりも小さな出力電圧を線形化するようになっている。

一方においてトランジスタ T_{10} とダイオード D_{10} を組合わせ、他方において T_{20} とダイオード D_{20} を組合せた2つの回路は出力電圧 V_1 、 V_2 をそれぞれ補正する。出力電圧 V'_1 、 V'_2 は 0.6 ボルトよりも大きい範囲で線形化される。また、一方においてトランジスタ T_{30} とダイオード D_{30} を組合わせ、他方においてトランジスタ T_{40} とダイオード D_{40} を組合せた2つの回路は第2の差動対の出力電圧 V_3 、 V_4 をそれぞれ補正する。出力電圧

する装置、例えばアンテナ、レーダ、電気通信、計測向きの位相検出器及び弁別器のダイナミックマッチング用可変インピーダンスのような数えきれないほど多くの適用分野をもっている。

本発明は、GaAs のチップ又は第 III-V 族系材料のチップ上に設けられた集積回路に特に有利である。

4. 図面の簡単な説明

第1図及び第2図は本発明のセルの基本回路図である。

第3図は整合減衰器を構成する本発明によるセルの回路図である。

第4図はゲートのないトランジスタを備えた第3図の減衰器の変形例を示す。

第5図及び第6図は可変抵抗又は可変リアクタンスを構成するためのセルの2つの回路図である。

第7図、第8図及び第9図は本発明のセルのモノリシック形成の3つの例を示している。

第10図は制御電圧の関数としての2つの出力電

圧の相対的変化を示すグラフである。

第11図は本発明の回路構成の電気回路図である。

第12図及び第13図はそれぞれ、出力電圧の線形化回路の回路図、及びその回路の出力電圧の線形化の曲線を示すグラフである。

第14図及び第15図はそれぞれ、出力電圧の線形化回路の別の回路図、及びその回路の出力電圧の線形化の曲線を示すグラフである。

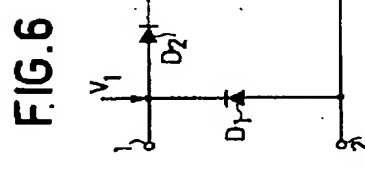
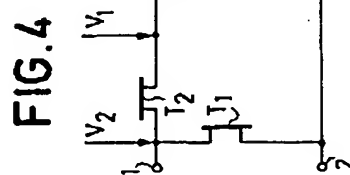
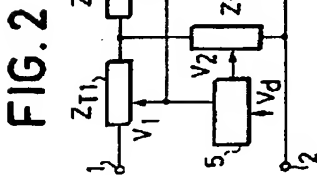
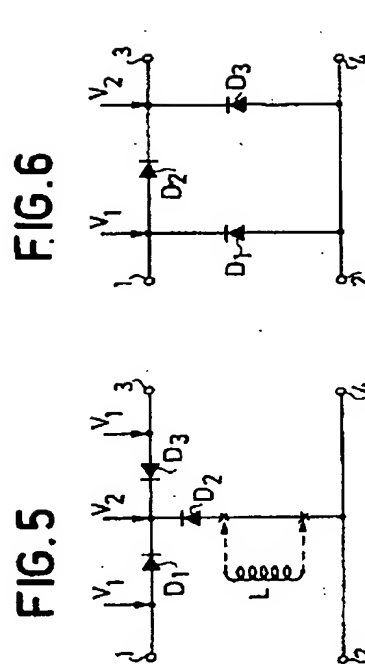
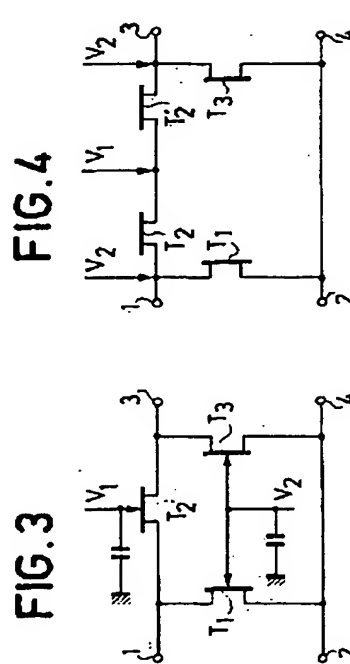
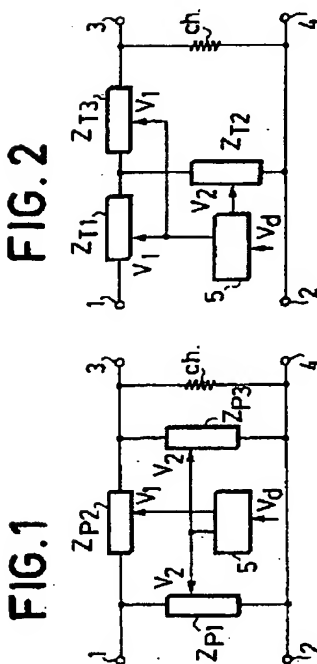
第16図は本発明による回路を幾つか組合わせ、これらの回路の出力のところに線形化回路を有する複雑な回路構成の回路図である。

第17図は整合減衰器及び制御回路を組合わせた本発明のセルの回路図である。

(主な参照番号)

- 1, 2・・・入力端子、 3, 4・・・出力端子、
5・・・制御回路、 V_{d1} ・・・制御電圧、
 V_{d2} ・・・固定電圧

特許出願人 トムソン・シー・エス・エフ
代理人 弁理士 新居 正彦



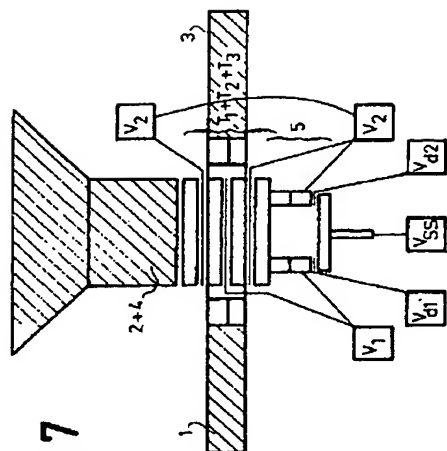


FIG. 7

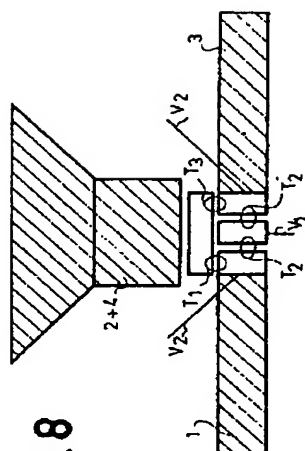


FIG. 8

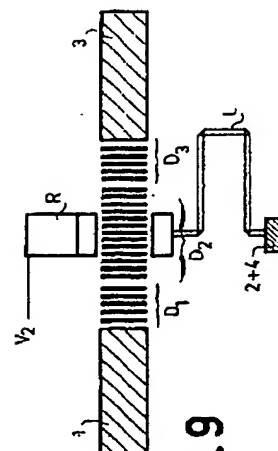


FIG. 9

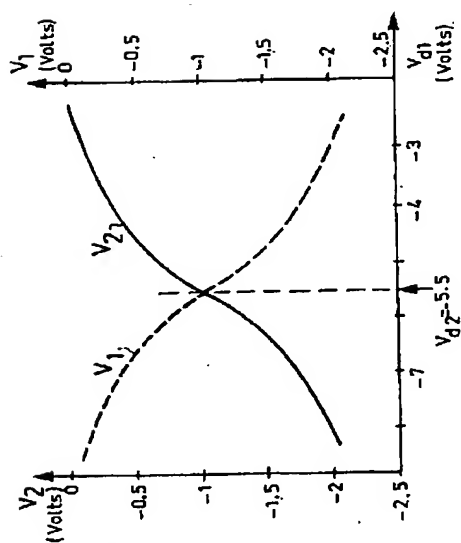


FIG. 10

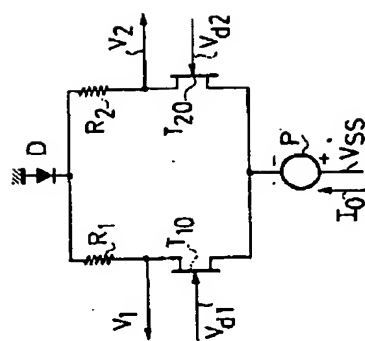


FIG. 11

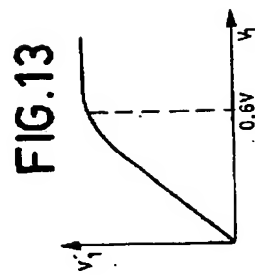


FIG. 12

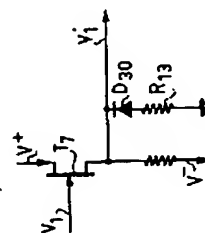


FIG. 13

